

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : YAMAZAKI et al. Art Unit : Unknown
Serial No. : Not yet assigned Examiner : Unknown
Filed : January 26, 2001
Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application: Japan Application No. 2000-018097 filed January 26, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: January 26, 2001

William D. Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

JC983 U.S. PTO
09/769765
01/26/01

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

#7/Original Document
3-6-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月26日

出 願 番 号
Application Number:

特願2000-018097

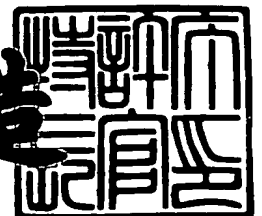
出 願 人
Applicant(s):

株式会社半導体エネルギー研究所

2000年12月 1日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3099536

【書類名】 特許願

【整理番号】 P004579-04

【提出日】 平成12年 1月26日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小山 潤

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に第 1 の半導体層及び第 2 の半導体層と、
前記第 1 の半導体層及び第 2 の半導体層上に第 1 絶縁膜と、
前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、
前記第 2 の半導体層の上方に位置する前記第 1 絶縁膜上に容量配線と、
前記第 1 の絶縁膜上に島状のソース配線と、
前記ゲート配線、前記容量配線、及び前記島状のソース配線とを覆う第 2 絶縁膜と、
前記第 2 絶縁膜上に前記島状のソース配線及び前記第 1 の半導体層と接続された接続電極と、
前記第 2 絶縁膜上に前記第 1 の半導体層と接続された画素電極とを有し、
前記画素電極は、前記島状のソース配線と重なっていること特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記接続電極によって画素毎に配置された前記島状のソース配線が接続されていること特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記画素電極は、前記ゲート配線と重なっていること特徴とする半導体装置。

【請求項 4】

第 1 の基板と、第 2 の基板と、前記第 1 の基板と前記第 2 の基板とが貼り合わされた基板間に液晶を保持している半導体装置であって、
前記第 1 の基板には薄膜トランジスタを有する画素部及び駆動回路とが設けられ、
前記画素部は、半導体層と、該半導体層を覆う第 1 絶縁膜と、該第 1 絶縁膜上に配線と、前記配線を覆う第 2 絶縁膜と、該第 2 絶縁膜上に電極とを有し、

前記第 2 の基板上には、前記画素部の各画素に対応した赤色、青色、及び緑色のカラーフィルタとを有し、

第 2 の基板上の前記赤色のカラーフィルタと前記青色のカラーフィルタとの積層膜は、第 1 の基板上の前記薄膜トランジスタと重なる遮光膜となることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、前記配線は、ゲート配線、島状のソース配線、及び容量配線であることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、前記第 1 絶縁膜を介して前記容量配線と前記半導体層とが重なっている領域には、前記第 1 絶縁膜を誘電体とする保持容量が形成されることを特徴とする半導体装置。

【請求項 7】

請求項 4 乃至 6 のいずれか一において、前記電極は、前記半導体層に接続された画素電極と、前記島状のソース配線に接続された接続電極であることを特徴とする半導体装置。

【請求項 8】

請求項 4 乃至 7 のいずれか一において、前記第 1 の基板と前記第 2 の基板との間隔は、前記赤色カラーフィルタと前記青色カラーフィルタと前記緑のカラーフィルタとの積層膜からなるスペーサで保持されていることを特徴とする半導体装置。

【請求項 9】

絶縁表面上に第 1 の半導体層及び第 2 の半導体層と、
前記第 1 の半導体層及び第 2 の半導体層上に第 1 絶縁膜と、
前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、
前記第 1 絶縁膜上に前記第 2 の半導体層と重なる第 2 の電極と、
前記第 1 絶縁膜上にソース配線と、
前記第 1 電極と及び前記ソース配線とを覆う第 2 絶縁膜と、
前記第 2 絶縁膜上に第 1 の電極に接続されたゲート配線と、前記ソース配線及

び前記第 1 の半導体層と接続された接続電極と、

前記第 2 絶縁膜上に前記第 1 の半導体層と接続された画素電極とを有し、

前記画素電極は、前記島状のソース配線と重なっていること特徴とする半導体装置。

【請求項 1 0】

請求項 9 において、前記第 1 の半導体層と重なる第 1 の電極は、ゲート電極であること特徴とする半導体装置。

【請求項 1 1】

請求項 9 または請求項 1 0 において、前記第 1 絶縁膜を誘電体として、前記画素電極に接続された前記第 2 の半導体層と、隣りあう画素のゲート配線と接続された前記第 2 の電極とで保持容量を形成していること特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一において、前記ゲート配線は、導電性を付与する不純物元素がドーピングされた poly-Si 、 W 、 WSi_x 、 Al 、 Cu 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一において、前記第 2 絶縁膜は、シリコンを成分とする第 1 の絶縁層と、有機樹脂材料から成る第 2 の絶縁層とからなることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一において、前記半導体装置は、反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 乃至 1 3 のいずれか一において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスプレイ、または電子遊技機器であることを特徴とする半導体装置。

【請求項 1 6】

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形

成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、前記第 2 の半導体層の上方に位置する第 1 絶縁膜上に容量配線と、前記第 1 の絶縁膜上に島状のソース配線とを形成する第 3 工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記島状のソース配線と前記第 1 の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法。

【請求項 17】

一对の基板間に液晶を挟持した半導体装置の作製方法であって、

第 1 の基板上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、前記第 2 の半導体層の上方に位置する第 1 絶縁膜上に容量配線と、前記第 1 の絶縁膜上に島状のソース配線とを形成する第 3 工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記島状のソース配線と前記第 1 の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第 5 工程と、

第 2 の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第 1 の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第 6 工程と、

前記第 1 の基板と前記第 2 の基板とを貼り合わせる第 7 工程とを有することを

特徴とする半導体装置の作製方法。

【請求項 1 8】

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 2 の半導体層と重なる第 2 の電極と、ソース配線とを形成する第 3 工程と、

前記第 1 の電極、前記第 2 の電極、及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極と接続するゲート配線と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 8 において、前記画素電極と接続された前記第 2 の半導体層は、隣りあう画素のゲート配線と接続された前記第 2 の電極と前記第 1 絶縁膜を介して重なっていることを特徴とする半導体装置の作製方法。

【請求項 2 0】

一対の基板間に液晶を挟持した半導体装置の作製方法であって、

第 1 の基板上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 2 の半導体層と重なる第 2 の電極と、ソース配線とを形成する第 3 工程と、

前記第 1 の電極、前記第 2 の電極、及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極と接続するゲート配線と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電

極とを形成する第5工程と、

第2の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第1の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第6工程と、

前記第1の基板と前記第2の基板とを貼り合わせる第7工程とを有することを特徴とする半導体装置の作製方法。

【請求項21】

請求項16乃至20のいずれか一において、前記第2絶縁膜は、シリコンを成分とする第1の絶縁層と、有機樹脂材料から成る第2の絶縁層との積層膜からなることを特徴とする半導体装置の作製方法。

【請求項22】

請求項16乃至21のいずれか一において、前記第2絶縁膜は、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコンから成る第1の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンからなる第2の絶縁層との積層膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百.n m程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタはI Cや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0 0 0 4】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてT F Tを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0 0 0 5】

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0 0 0 6】

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【0 0 0 7】

なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電氣的に接続している。

【0 0 0 8】

従来の反射型の液晶表示装置における画素構造では、ゲート配線（走査線）とソース配線（信号線）と容量配線の3本をそれぞれ線状形状にパターンニング形成している。また、ソース配線は行方向に、ゲート配線は列方向にそれぞれ配置され、それぞれの配線同士を絶縁するため、ゲート配線とソース配線との間には層

間絶縁膜が設けられていた。また、ソース配線とゲート配線は、一部交差しており、その交差部近傍にTFTが配置されていることが従来の特徴である。

【0009】

また、従来では、画素電極は、さらにソース配線を覆う層間絶縁膜を設け、その層間絶縁膜上に形成されていた。この構造にした場合、層数が増加すると、工程数が増えるためコスト上昇を招いていた。

【0010】

また、従来他の構造として、ソース配線と同時に形成し、それぞれのソース配線間に画素電極を形成することが知られている。この構造にした場合と、ソース配線と画素電極との間をブラックマトリクスで遮光する必要があった。

【0011】

また、従来では、クロムなどで形成された金属膜を所望な形状にパターニングしたブラックマトリクスによりTFTの遮光及び画素間の遮光を行っていた。しかしながら、ブラックマトリクスで十分に遮光するためには、ブラックマトリクスと画素電極との間に層間絶縁膜を設けて絶縁することが必要となっていた。このように層間絶縁膜の層数が増加すると、工程数が増えるためコスト上昇を招いていた。また、層間絶縁性を確保する上で不利となっていた。さらに、従来ではブラックマトリクス自体を形成するための工程及びマスクが増加してしまっていた。

【0012】

また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

【0013】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占めるTFT及び配線の形成面積が大きくなり画素開口率を低減させている。

【0014】

そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回

路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【 0 0 1 5 】

【発明が解決しようとする課題】

以上のように、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【 0 0 1 6 】

本願発明は、そのような要求に答えるものであり、マスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する反射型液晶表示装置を提供することを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】

上述した従来技術の課題を解決するために以下の手段を講じた。

【 0 0 1 8 】

本発明は、ブラックマトリクスを用いることなく、T F T 及び画素間を遮光する画素構造を特徴としている。画素間を遮光するため、ゲート配線とソース配線を同じ絶縁膜上に形成し、画素電極をゲート配線またはソース配線と重ねて配置する。また、T F T を遮光するため、対向基板上に遮光膜としてカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜）を素子基板のT F T と重ねて配置する。

【 0 0 1 9 】

本明細書で開示する発明の構成は、

絶縁表面上に第 1 の半導体層及び第 2 の半導体層と、

前記第 1 の半導体層及び第 2 の半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、

前記第 2 の半導体層の上方に位置する前記第 1 絶縁膜上に容量配線と、

前記第 1 の絶縁膜上に島状のソース配線と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線とを覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記島状のソース配線及び前記第 1 の半導体層と接続され

た接続電極と、

前記第 2 絶縁膜上に前記第 1 の半導体層と接続された画素電極とを有し、

前記画素電極は、前記島状のソース配線と重なっていること特徴とする半導体装置である。

【 0 0 2 0 】

上記構成において、前記接続電極によって画素毎に配置された前記島状のソース配線が接続されていること特徴としている。また、前記画素電極は、前記ゲート配線と重なっていること特徴としている。

【 0 0 2 1 】

また、他の発明の構成は、

第 1 の基板と、第 2 の基板と、前記第 1 の基板と前記第 2 の基板とが貼り合わされた基板間に液晶を保持している半導体装置であって、

前記第 1 の基板には薄膜トランジスタを有する画素部及び駆動回路とが設けられ、

前記画素部は、半導体層と、該半導体層を覆う第 1 絶縁膜と、該第 1 絶縁膜上に配線と、前記配線を覆う第 2 絶縁膜と、該第 2 絶縁膜上に電極とを有し、

前記第 2 の基板には、前記画素部の各画素に対応した赤色、青色、及び緑色のカラーフィルタとを有し、

第 2 の基板上的前記赤色のカラーフィルタと前記青色のカラーフィルタとの積層膜は、第 1 の基板上的前記薄膜トランジスタと重なる遮光膜となることを特徴とする半導体装置である。

【 0 0 2 2 】

上記構成において、前記配線は、ゲート配線、島状のソース配線、及び容量配線である。また、前記第 1 絶縁膜を介して前記容量配線と前記半導体層とが重なっている領域には、前記第 1 絶縁膜を誘電体とする保持容量が形成される。また、前記電極は、前記半導体層に接続された画素電極と、前記島状のソース配線に接続された接続電極である。

【 0 0 2 3 】

また、上記構成において、前記第 1 の基板と前記第 2 の基板との間隔は、前記

赤色カラーフィルタと前記青色カラーフィルタと前記緑のカラーフィルタとの積層膜からなるスペーサで保持されていることを特徴としている。

【 0 0 2 4 】

また、他の発明の構成は、
絶縁表面上に第 1 の半導体層及び第 2 の半導体層と、
前記第 1 の半導体層及び第 2 の半導体層上に第 1 絶縁膜と、
前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、
前記第 1 絶縁膜上に前記第 2 の半導体層と重なる第 2 の電極と、
前記第 1 絶縁膜上にソース配線と、
前記第 1 電極と及び前記ソース配線とを覆う第 2 絶縁膜と、
前記第 2 絶縁膜上に第 1 の電極に接続されたゲート配線と、前記ソース配線及び前記第 1 の半導体層と接続された接続電極と、
前記第 2 絶縁膜上に前記第 1 の半導体層と接続された画素電極とを有し、
前記画素電極は、前記島状のソース配線と重なっていること特徴とする半導体装置である。

【 0 0 2 5 】

上記構成において、前記第 1 の半導体層と重なる第 1 の電極は、ゲート電極である。また、前記第 1 絶縁膜を誘電体として、前記画素電極に接続された前記第 2 の半導体層と、隣りあう画素のゲート配線と接続された前記第 2 の電極とで保持容量を形成している。

【 0 0 2 6 】

また、上記各構成において、前記ゲート配線は、導電性を付与する不純物元素がドーピングされた poly-Si 、 W 、 WSi_x 、 Al 、 Cu 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴としている。

【 0 0 2 7 】

上記各構成において、寄生容量を低減するために、前記第 2 絶縁膜は、シリコンを成分とする第 1 の絶縁層と、有機樹脂材料から成る第 2 の絶縁層とからなることを特徴としている。

【 0 0 2 8 】

また、上記構造を実現する作製工程における発明の構成は、

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、前記第 2 の半導体層の上方に位置する第 1 絶縁膜上に容量配線と、前記第 1 の絶縁膜上に島状のソース配線とを形成する第 3 工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記島状のソース配線と前記第 1 の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法である。

【 0 0 2 9 】

また、上記構造を実現する作製工程における他の発明の構成は、

一对の基板間に液晶を挟持した半導体装置の作製方法であって、

第 1 の基板上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なるゲート配線と、前記第 2 の半導体層の上方に位置する第 1 絶縁膜上に容量配線と、前記第 1 の絶縁膜上に島状のソース配線とを形成する第 3 工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記島状のソース配線と前記第 1 の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第 5 工程と、

第 2 の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形

成すると同時に、少なくとも前記第 1 の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第 6 工程と、

前記第 1 の基板と前記第 2 の基板とを貼り合わせる第 7 工程とを有することを特徴とする半導体装置の作製方法である。

【 0 0 3 0 】

また、上記構造を実現する作製工程における他の発明の構成は、

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 2 の半導体層と重なる第 2 の電極と、ソース配線とを形成する第 3 工程と、

前記第 1 の電極、前記第 2 の電極、及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極と接続するゲート配線と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法である。

【 0 0 3 1 】

上記構成において、前記画素電極と接続された前記第 2 の半導体層は、隣りあう画素のゲート配線と接続された前記第 2 の電極と前記第 1 絶縁膜を介して重なっていることを特徴としている。

【 0 0 3 2 】

また、上記構造を実現する作製工程における他の発明の構成は、

一对の基板間に液晶を挟持した半導体装置の作製方法であって、

第 1 の基板上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工

程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 2 の半導体層と重なる第 2 の電極と、ソース配線とを形成する第 3 工程と、

前記第 1 の電極、前記第 2 の電極、及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極と接続するゲート配線と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程と、

第 2 の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第 1 の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第 6 工程と、

前記第 1 の基板と前記第 2 の基板とを貼り合わせる第 7 工程とを有することを特徴とする半導体装置の作製方法である。

【 0 0 3 3 】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【 0 0 3 4 】

本発明の反射型表示装置は、基本的な構成として、互いに所定の間隙を介して接着した素子基板及び対向基板と、前記間隙に保持された電気光学物質（液晶材料等）とを備えている。

【 0 0 3 5 】

〔実施の形態 1〕

本発明の画素構造の具体例を図 1 に示す。

【 0 0 3 6 】

素子基板は、図 1 に示すように、行方向に配置されたゲート配線 1 4 0 及び容量配線 1 3 7 と、列方向に配置されたソース配線と、ゲート配線とソース配線の交差部近傍の画素 T F T を有する画素部と、 n チャンネル型 T F T や p チャンネル型 T F T を有する駆動回路とを含む。

【 0 0 3 7 】

ただし、図 1 におけるソース配線は、列方向に配置された島状のソース配線 1 3 9 と接続電極 1 6 5 とが接続したものを指している。なお、島状のソース配線 1 3 9 は、ゲート配線 1 4 0（ゲート電極 1 3 6 含む）及び容量配線 1 3 7 と同様にゲート絶縁膜上に接して形成されたものである。また、接続電極 1 6 5 は画素電極 1 6 7、1 6 0 と同様に層間絶縁膜上に形成されたものである。

【 0 0 3 8 】

このような構成とすることによって、各画素間は、主に画素電極 1 6 0 の端部を島状のソース配線 1 3 9 やゲート配線 1 4 0 と重ねることにより遮光することができる。

【 0 0 3 9 】

なお、素子基板上の T F T を遮光するため、赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜を所定の位置（素子基板の T F T の位置）にあわせてパターンニングしたものを対向基板上に設ける。

【 0 0 4 0 】

このような構成とすることによって、素子基板の T F T は、主に対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光することができる。

【 0 0 4 1 】

また、画素電極 1 6 0 の保持容量は、第 2 の半導体層 2 0 2 を覆う絶縁膜を誘電体とし、画素電極 1 6 0 と接続された第 2 の半導体層 2 0 2 と、容量配線 2 0 3 とで形成している。

【 0 0 4 2 】

また、図 1 に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数を 5 枚とすることができる。即ち、1 枚目は、第 1 の半導体層 2 0 1 及び第 2 の半導体層 2 0 2 をパターンニングするマスク、2 枚目

は、ゲート配線 1 4 0、2 0 4、容量配線 1 3 7、2 0 3、及び島状のソース配線 1 3 9、2 0 6、2 0 7 をパターンニングするマスク、3 枚目は、駆動回路の p チャンネル型 T F T を形成するために p 型を付与する不純物元素を添加する際、n チャンネル型 T F T を覆うためのマスク、4 枚目は、第 1 の半導体層と第 2 の半導体層と島状のソース配線とにそれぞれ達するコンタクトホールを形成するマスク、5 枚目は、接続電極 1 6 5、2 0 5 及び画素電極 1 6 0、1 6 7 をパターンニングするためのマスクである。

【 0 0 4 3 】

以上のように、図 1 に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

【 0 0 4 4 】

〔実施の形態 2〕

本発明の画素構造の具体例を図 1 0 に示す。

【 0 0 4 5 】

素子基板は、図 1 0 に示すように、行方向に配置されたゲート配線 1 0 0 2、1 0 1 2 と、列方向に配置されたソース配線 1 0 0 4 と、ゲート配線とソース配線の交差部近傍の画素 T F T を有する画素部と、n チャンネル型 T F T や p チャンネル型 T F T を有する駆動回路とを含む。

【 0 0 4 6 】

ただし、図 1 0 におけるゲート配線は、列方向に配置された島状のゲート電極 1 0 0 1 と島状の容量電極 1 0 0 8 が接続したものを指している。なお、島状のゲート電極 1 0 0 1 は、ソース配線 1 0 0 4 及び容量電極 1 0 0 8 と同様にゲート絶縁膜上に接して形成されたものである。また、ゲート配線 1 0 0 2、1 0 1 2 は画素電極 1 0 0 6、1 0 0 7、接続電極 1 0 0 5 と同様に層間絶縁膜上に形成されたものである。

【 0 0 4 7 】

このような構成とすることによって、各画素間は、主に画素電極 1 0 0 6 の端部をソース配線 1 0 0 4 と重ねることにより遮光することができる。

【 0 0 4 8 】

また、上記実施の形態 1 と同様にして、素子基板の T F T は、主に対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光する。また、図 1 0 の画素構造では、ゲート配線と画素電極の間隙を遮光する必要があるため、この部分においても同様に対向基板に設けたカラーフィルタを用いて遮光すればよい。

【0 0 4 9】

また、画素電極 1 0 0 6 の保持容量は、第 2 の半導体層を覆う絶縁膜を誘電体とし、画素電極 1 0 0 6 と接続された第 2 の半導体層と、ゲート配線 1 0 1 2 と接続された容量電極 1 0 0 8 とで形成している。

【0 0 5 0】

また、図 1 と同様に図 1 0 に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数を 5 枚とすることができる。即ち、1 枚目は、第 1 の半導体層及び第 2 の半導体層をパターニングするマスク、2 枚目は、ゲート電極 1 0 0 1、容量電極 1 0 0 8、及びソース配線 1 0 0 4 をパターニングするマスク、3 枚目は、駆動回路の p チャネル型 T F T を形成するために p 型を付与する不純物元素を添加する際、n チャネル型 T F T を覆うためのマスク、4 枚目は、第 1 の半導体層と第 2 の半導体層とゲート電極と容量電極とソース配線とにそれぞれ達するコンタクトホールを形成するマスク、5 枚目は、接続電極 1 0 0 5、ゲート配線 1 0 0 2、1 0 1 2、及び画素電極 1 0 0 6、1 0 0 7 をパターニングするためのマスクである。

【0 0 5 1】

以上のように、図 1 0 に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

【0 0 5 2】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0 0 5 3】

【実施例】

【実施例 1】

本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (nチャネル型 T F T 及び pチャネル型 T F T) を同時に作製する方法について詳細に説明する。

【0054】

まず、図 2 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 1 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 0 1 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 1 0 2 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 1 0 1 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例では下地膜 1 0 1 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0055】

島状半導体層 1 0 2 ~ 1 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 1 0 2 ~ 1 0 6 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【0056】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 mJ/cm^2 (代表的には 2 0 0 ~ 3 0 0 mJ/cm^2) とする。また、Y A G レーザーを用いる場合にはそ

の第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0057】

次いで、島状半導体層102～106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0058】

そして、ゲート絶縁膜107上にゲート電極を形成するための第1の導電膜108と第2の導電膜109とを形成する。本実施例では、第1の導電膜108をTaで50～100nmの厚さに形成し、第2の導電膜をWで100～300nmの厚さに形成する。

【0059】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さで

Ta の下地に形成しておくことと α 相の Ta 膜を容易に得ることができる。

【0060】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF_6) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 \mu\Omega \text{ cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega \text{ cm}$ を実現することができる。

【0061】

なお、本実施例では、第 1 の導電膜 108 を Ta、第 2 の導電膜を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を W とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を Al とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を Cu とする組み合わせで形成することが好ましい。

【0062】

次に、レジストによるマスク 110～117 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされ

る。

【 0 0 6 3 】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $119 \sim 126$ （第1の導電層 $119a \sim 126a$ と第2の導電層 $119b \sim 126b$ ）を形成する。 118 はゲート絶縁膜であり、第1の形状の導電層 $119 \sim 126$ で覆われない領域は $20 \sim 50 \text{ nm}$ 程度エッチングされ薄くなった領域が形成される。

【 0 0 6 4 】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。（図2（B））ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層 $119 \sim 123$ がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $127 \sim 131$ が形成される。第1の不純物領域 $127 \sim 131$ には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【 0 0 6 5 】

次に、図2（C）に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、 1 Pa の圧力でコイル型の電極に 500 W のRF電力（ 13.56 MHz ）を供給し、プラズマを生成して行う。基板側（試料ステージ）には 50 W のRF（ 13.56 MHz ）電力を投入し

、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層133～140（第1の導電層133a～140aと第2の導電層133b～140b）を形成する。132はゲート絶縁膜であり、第2の形状の導電層133～137で覆われない領域はさらに20～50nm程度エッチングされ薄くなった領域が形成される。

【0066】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0067】

そして、図3（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/cm^2$ のドーズ量で行い、図2（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層133～137を不純物元素に対するマスクとして用い、第2の導電層133a～137aの下側の領域にも不純物元素が添加されるようにドーピン

グする。こうして、第2の導電層133a～137aと重なる第3の不純物領域141～145と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域146～150とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0068】

そして、図3(B)に示すように、pチャネル型TFTを形成する島状半導体層104に一導電型とは逆の導電型の第4の不純物領域154～156を形成する。第2の導電層134を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層103、105、106はレジストマスク151～153で全面を被覆しておく。不純物領域154～156にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0069】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層133～136がゲート電極として機能する。また、139は島状のソース配線、140はゲート配線、137は容量配線として機能する。

【0070】

こうして導電型の制御を目的として図3(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、133～140に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【 0 0 7 1 】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 7 2 】

次いで、第1の層間絶縁膜157は酸化窒化シリコン膜から100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜158を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【 0 0 7 3 】

そして、駆動回路406において島状半導体層のソース領域とコンタクトを形成するソース配線159～161、ドレイン領域とコンタクトを形成するドレイン配線162～164を形成する。また、画素部407においては、画素電極166、167、接続電極165を形成する。（図4）この接続電極165により島状のソース配線139は、隣り合う島状のソース配線207及び画素TFT404と電気的な接続が形成される。画素電極160は、画素TFTの活性層に相当する島状半導体層（図1中における第1の半導体層201に相当）及び保持容量を形成する島状半導体層（図1中における第2の半導体層202に相当）とそれぞれ電気的な接続が形成される。なお、画素電極167は隣り合う画素のものである。

【 0 0 7 4 】

以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 0 7 5 】

駆動回路406のnチャネル型TFT401はチャネル形成領域168、ゲー

ト電極を形成する第2の導電層133と重なる第3の不純物領域146（GOLD領域）、ゲート電極の外側に形成される第2の不純物領域141（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域127を有している。pチャネル型TFT402にはチャネル形成領域169、ゲート電極を形成する第2の導電層134と重なる第4の不純物領域156、ゲート電極の外側に形成される第4の不純物領域155、ソース領域またはドレイン領域として機能する第4の不純物領域154を有している。nチャネル型TFT403にはチャネル形成領域170、ゲート電極を形成する第2の導電層135と重なる第3の不純物領域148（GOLD領域）、ゲート電極の外側に形成される第2の不純物領域143（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域129を有している。

【0076】

画素部の画素TFT404にはチャネル形成領域171、ゲート電極を形成する第2の導電層136と重なる第3の不純物領域149（GOLD領域）、ゲート電極の外側に形成される第2の不純物領域144（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域130を有している。また、保持容量405の一方の電極として機能する半導体層131には第1の不純物領域と同じ濃度で、半導体層145には第3の不純物領域と同じ濃度で、半導体層150には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線137とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。また、n型を付与する不純物元素が添加されている。なお、図4で示す保持容量405は隣接する画素の保持容量を示している。

【0077】

本実施例で作製するアクティブマトリクス基板の画素部の上面図は、図4のA-A'は、図1で示すA-A'線に対応している。即ち、図4で示す島状のソース配線139、接続電極165、画素電極160、167、ゲート配線140、ゲート電極136、容量配線137は図1で示す符号と同一のものを用了。

【0078】

このように、本発明の画素構造を有するアクティブマトリクス基板は、ソース配線と接続電極を異なる層で形成し、図1で示すような画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【0079】

また、本発明の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部をソース配線やゲート配線と重なるように配置されている。

【0080】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターン、第1配線パターン（ゲート配線、島状のソース配線、容量配線）、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0081】

[実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図5を用いる。

【0082】

まず、実施例1に従い、図4の状態のアクティブマトリクス基板を得た後、図4のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。

【0083】

一方、対向基板569を用意する。対向基板569にはカラーフィルター層570、571、オーバーコート層573を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層570と青色のカラーフィルター層571とを重ねて形成し遮光膜を兼ねる構成とする。実施例1の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ね

て配置することが好ましい。

【0084】

また、接続電極165に合わせて赤色のカラーフィルター層570、青色のカラーフィルター層571、緑色のカラーフィルター層572とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1～3 μm の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層の厚さ1～4 μm を考慮することにより2～7 μm 、好ましくは4～6 μm とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0085】

スペーサの配置は任意に決定すれば良いが、例えば図5で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路のTFT上にその位置を合わせてスペーサに対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース線およびドレイン線を覆うようにして配置しても良い。

【0086】

オーバーコート層573を形成した後、対向電極576をパターニング形成し、配向膜574を形成した後ラビング処理を行う。

【0087】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤568で貼り合わせる。シール剤568にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。

【0088】

[実施例3]

実施例 1 では、ゲート配線、島状のソース配線、容量配線を同時に形成した例を示したが、本実施例ではマスクを 1 枚増やしてゲート電極を形成する工程と、ゲート配線、ソース配線、及び容量配線を形成する工程とを別々にしてアクティブマトリクス基板を作製した例を図 6 及び図 7 に示す。

【 0 0 8 9 】

実施例 1 で示す T F T のゲート電極は 2 層構造を有している。その第 1 層目と第 2 層目とはいずれも T a、W、T i、M o、A l、C u から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成している。或いは、第 1 層目をリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜で形成している。

【 0 0 9 0 】

ゲート電極の第 1 層目に半導体膜を用いる場合も同様であるが、T a、W、T i、M o から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料は面積抵抗が約 $10\ \Omega$ 、またはそれ以上の値であり、画面サイズが 4 インチクラスかそれ以上の表示装置を作製する場合には必ずしも適していない。画面サイズの大型化に伴って基板上において配線を引回す長さが必然的に増大し、配線抵抗の影響による信号の遅延時間の問題を見做することができなくなるためである。また、配線抵抗を下げる目的で配線の幅を太くすると、画素部以外の周辺の領域の面積が増大し表示装置の外観を著しく損ねることになる。

【 0 0 9 1 】

従って、本実施例では、ゲート配線や容量配線はシート抵抗値を低くするアルミニウム (A l) や銅 (C u) を主成分とする材料で形成する。即ち、本実施例においては、ゲート配線をゲート電極と別な材料で形成する。

【 0 0 9 2 】

ゲート配線 6 0 2 とゲート電極 6 0 1 とのコンタクト部を図 6 で示すように半導体層の外側に設ける。A l はエレクトロマイグレーションなどでゲート絶縁膜中にしみ出すことがあるので、ゲート配線を半導体層上に設けることは適切でない。このコンタクトはコンタクトホールを必要とせず、ゲート電極とゲート配線とを重ね合わせて形成する。

【 0 0 9 3 】

以下に作製工程を簡略に示す。

【 0 0 9 4 】

まず、実施例 1 に従い、活性化および水素化処理まで同一の工程を用いる。ただし、実施例 1 では、1 3 3 ～ 1 3 7 で示した電極および配線を同時に作製したが、本実施例では各 T F T のゲート電極 6 0 1 のみを形成する。なお、保持容量の一方の電極となる第 2 の半導体層 6 0 0、6 1 2 には第 1 の不純物領域と同じ濃度で n 型を付与する不純物元素を添加されるようにする。

【 0 0 9 5 】

次いで、活性化工程の後、ゲート配線 6 0 2、6 1 4、島状のソース配線 6 0 4、6 1 6、6 1 7、容量配線 6 0 3、6 1 3、駆動回路の配線 6 0 8 を低抵抗の導電性材料で形成する。低抵抗の導電性材料は A l や C u を主成分とするものであり、このような材料でゲート配線を形成する。本実施例では A l を用いる例を示し、T i を 0. 1 ～ 2 重量% 含む A l 膜を低抵抗導電層として全面に形成する（図示せず）。厚さは 2 0 0 ～ 4 0 0 nm（好ましくは 2 5 0 ～ 3 5 0 nm）で形成する。そして、所定のレジストパターンを形成し、エッチング処理して、ゲート配線 6 0 2、6 1 4、島状のソース配線 6 0 4、6 1 6、6 1 7、容量配線 6 0 3、6 1 3、駆動回路の配線 6 0 8 を形成する。これらの配線のエッチング処理は、リン酸系のエッチング溶液によるウエットエッチングで行うと、下地との選択加工性を保って形成することができる。

【 0 0 9 6 】

次いで、実施例 1 に従い、第 1 の層間絶縁膜、第 2 の層間絶縁膜を形成する。そして、駆動回路 7 0 6 において島状半導体層のソース領域とコンタクトを形成するソース配線、ドレイン領域とコンタクトを形成するドレイン配線を形成する。また、画素部 7 0 7 においては、画素電極 6 0 6、6 0 7、接続電極 6 0 5、6 1 5 を形成する。（図 7）この接続電極 6 0 5 により島状のソース配線 6 0 4 は、隣り合う島状のソース配線 6 1 7 及び画素 T F T 7 0 4 と電気的な接続が形成される。なお、保持容量 7 0 5、画素電極 6 0 7 は隣り合う画素のものである。また、保持容量 7 0 5 の一方の電極として機能する第 2 の半導体層 6 0 0 には

第 1 の不純物領域と同じ濃度で n 型を付与する不純物元素が添加されており、容量配線 6 0 3 とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

【 0 0 9 7 】

以上の様にして、n チャネル型 T F T 7 0 1、p チャネル型 T F T 7 0 2、n チャネル型 T F T 7 0 3 を有する駆動回路 7 0 6 と、画素 T F T 7 0 4、保持容量 7 0 5 とを有する画素部 7 0 7 を同一基板上に形成することができる。

【 0 0 9 8 】

本実施例で作製するアクティブマトリクス基板の画素部の上面図は図 6 であり、図 6 の点線 B - B' で切断した断面図が図 7 で示す B - B' に対応している。

【 0 0 9 9 】

本実施例によれば、ゲート配線 6 0 2、6 1 4、島状のソース配線 6 0 4、6 1 6、6 1 7、及び容量配線 6 0 3、6 1 3 を低抵抗導電材料で形成することにより、配線抵抗を十分低減でき、実施例 2 と組み合わせれば画素部（画面サイズ）が 4 インチクラス以上の優れた表示装置を実現することができる。

【 0 1 0 0 】

[実施例 4]

本実施例では、実施例 3 とはアクティブマトリクス基板の T F T 構造が異なる他の例を図 8 を用いて説明する。

【 0 1 0 1 】

図 8 に示すアクティブマトリクス基板は、第 1 の p チャネル型 T F T 8 5 0 と第 2 の n チャネル型 T F T 8 5 1 を有するロジック回路部 8 5 5 と第 2 の n チャネル型 T F T 8 5 2 から成るサンプリング回路部 8 5 6 とを有する駆動回路 8 5 7 と、画素 T F T 8 5 3 と保持容量 8 5 4 を有する画素部 8 5 8 とが形成されている。駆動回路 8 5 7 のロジック回路部 8 5 5 の T F T はシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路 8 5 6 の T F T は基本的にはアナログスイッチで形成する。

【 0 1 0 2 】

これらの T F T は基板 8 0 1 に形成した下地膜 8 0 2 上の島状半導体層 8 0 3

～806にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。下地膜や島状半導体層は実施例1と同様にして形成する。ゲート絶縁膜808上に形成するゲート電極809～812は端部がテーパ形状となるように形成することに特徴があり、この部分を利用してLDD領域を形成している。このようなテーパ形状は実施例1と同様に、ICPエッチング装置を用いたW膜の異方性エッチング技術により形成することができる。

【0103】

テーパ形状の部分を利用して形成されるLDD領域はnチャネル型TFTの信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。このLDD領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【0104】

第1のnチャネル型TFT851にはチャネル形成領域832の外側に第1のLDD領域835、第2のLDD領域834、ソースまたはドレイン領域833が形成され、第1のLDD領域835はゲート電極810と重なるように形成されている。また、第1のLDD領域835と第2のLDD領域834とに含まれるn型の不純物元素は、上層のゲート絶縁膜やゲート電極の膜厚の差により第2のLDD領域834の方が高くなっている。第2のnチャネル型TFT852も同様な構成とし、チャネル形成領域836、ゲート電極と重なる第1のLDD領域839、第2のLDD領域838、ソースまたはドレイン領域837から成っている。一方、pチャネル型TFT850はシングルドレインの構造であり、チャネル形成領域828の外側にp型不純物が添加された不純物領域829～831が形成されている。

【0105】

画素部858において、nチャネル型TFTで形成される画素TFTはオフ電流の低減を目的としてマルチゲート構造で形成され、チャネル形成領域840の外側にゲート電極と重なる第1のLDD領域843、第2のLDD領域842、ソースまたはドレイン領域841が設けられている。また、保持容量854は島

状半導体層 8 0 7 とゲート絶縁膜 8 0 8 と同じ層で形成される絶縁層と容量配線 8 1 5 とから形成されている。島状半導体層 8 0 7 には n 型不純物が添加されていて、抵抗率が低いことにより容量配線に印加する電圧を低く抑えることができる。

【 0 1 0 6 】

層間絶縁膜は酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜 8 1 6 と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第2の層間絶縁膜 8 1 7 とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第1の層間絶縁膜 8 1 6 と組み合わせて形成することが好ましい。

【 0 1 0 7 】

その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜 1 4 6 をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【 0 1 0 8 】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによってソース及びドレイン配線 8 1 8 ～8 2 3 と、画素電極 8 2 6、8 2 7、接続電極 8 2 5 を形成する。このようにして図 1 で示すような画素構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【 0 1 0 9 】

[実施例 5]

本実施例では、実施例 3 とはアクティブマトリクス基板の T F T 構造が異なる他の例を図 9 を用いて説明する。

【 0 1 1 0 】

図 9 で示すアクティブマトリクス基板は、第 1 の p チャネル型 T F T 9 5 0 と第 2 の n チャネル型 T F T 9 5 1 を有するロジック回路部 9 5 5 と第 2 の n チャネル型 T F T 9 5 2 から成るサンプリング回路部 9 5 6 とを有する駆動回路 9 5 7 と、画素 T F T 9 5 3 と保持容量 9 5 4 を有する画素部 9 5 8 とが形成されている。駆動回路 9 5 7 のロジック回路部 9 5 5 の T F T はシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路 9 5 6 の T F T は基本的にはアナログスイッチで形成する。

【 0 1 1 1 】

本実施例で示すアクティブマトリクス基板は、まず、基板 9 0 1 上に下地膜 9 0 2 を酸化シリコン膜、酸化窒化シリコン膜などで 5 0 ～ 2 0 0 nm の厚さに形成する。その後、レーザー結晶化法や熱結晶化法で作製した結晶質半導体膜から島状半導体層 9 0 3 ～ 9 0 7 を形成する。その上にゲート絶縁膜 9 0 8 を形成する。そして、n チャネル型 T F T を形成する島状半導体層 9 0 4 、 9 0 5 と保持容量を形成する島状半導体層 9 0 7 に $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度でリン (P) に代表される n 型を付与する不純物元素を選択的に添加する。

【 0 1 1 2 】

そして、W または T a を成分とする材料でゲート電極 9 0 9 ～ 9 1 2 、ゲート配線 9 1 4 、容量配線 9 1 5 、及びソース配線 9 1 3 を形成する。ゲート配線、容量配線、ソース配線は実施例 3 のように A 1 等の抵抗率の低い材料で別途形成しても良い。そして、島状半導体層 9 0 3 ～ 9 0 7 ゲート電極 9 0 9 ～ 9 1 2 及び容量配線 9 1 5 の外側の領域に $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度でリン (P) に代表される n 型を付与する不純物元素を選択的に添加する。こうして第 1 の n チャネル型 T F T 9 5 1 、第 2 の n チャネル型 T F T 9 5 2 には、それぞれチャネル形成領域 9 3 1 、 9 3 4 、 L D D 領域 9 3 3 、 9 3 6 、ソースまたはドレ

イン領域 9 3 2、9 3 5 が形成される。画素 T F T 9 5 3 の L D D 領域 9 3 9 はゲート電極 9 1 2 を用いて自己整合的に形成するものでチャネル形成領域 9 3 7 の外側に形成され、ソースまたはドレイン領域 9 3 8 は、第 1 及び第 2 の n チャネル型 T F T と同様に形成されている。

【 0 1 1 3 】

層間絶縁膜は実施例 3 と同様に、酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成る第 1 の層間絶縁膜 9 1 6 と、ポリイミド、アクリル、ポリイミドアミド、B C B（ベンゾシクロブテン）などの有機絶縁物材料から成る第 2 の層間絶縁膜 9 1 7 とで形成する。その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。そして、導電性の金属膜をスパッタ法や真空蒸着法で形成しソース配線及びドレイン配線 9 1 8 ～ 9 2 3 と、画素電極 9 2 6、9 2 7、接続電極 9 2 5 を形成する。このようにして図 1 で示すような画素構造構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【 0 1 1 4 】

ロジック回路 9 5 5 の第 1 の n チャネル型 T F T 9 5 1 はドレイン側にゲート電極と重なる G O L D 領域が形成された構造としてある。この G O L D 領域によりドレイン領域近傍に発生する高電界領域を緩和して、ホットキャリアの発生を防ぎ、この T F T の劣化を防止することができる。このような構造の n チャネル型 T F T はバッファ回路やシフトレジスタ回路に適している。一方、サンプリング回路 9 5 6 の第 2 の n チャネル型 T F T 9 5 2 は G O L D 領域と L D D 領域をソース側及びドレイン側に設けた構造であり、極性反転して動作するアナログスイッチにおいてホットキャリアによる劣化を防ぎ、さらにオフ電流を低減することを目的とした構造となっている。画素 T F T 9 5 3 は L D D 構造を有し、マルチゲートで形成され、オフ電流の低減を目的とした構造となっている。一方、p チャネル型 T F T はシングルドレイン構造で形成され、チャネル形成領域 9 2 8 の外側に p 型の不純物元素が添加された不純物領域 9 2 9、9 3 0 を形成する。

【 0 1 1 5 】

このように、図 9 で示すアクティブマトリクス基板は、画素部及び駆動回路が要求する仕様に応じて各回路を構成する T F T を最適化し、各回路の動作特性と信頼性を向上させることを特に考慮した構成となっている。

【 0 1 1 6 】

[実施例 6]

本実施例では、アクティブマトリクス基板の画素構造が異なる他の例を図 1 0 、図 1 1 を用いて説明する。

【 0 1 1 7 】

本実施例は、実施例 1 とはマスクパターンのみを変更することによって、図 1 0 、図 1 1 に示す画素構造を有するアクティブマトリクス基板を得ることができる。

【 0 1 1 8 】

なお、本実施例の作製工程は、実施例 1 とほぼ同一である。

【 0 1 1 9 】

実施例 1 に従い、図 2 (A) の状態まで形成する。次いで、実施例 1 のマスクを変更し、ゲート電極 1 0 0 1 、容量電極 1 0 0 8 、及びソース配線 1 0 0 4 をパターニング形成する。

【 0 1 2 0 】

以降の工程は実施例 1 に従い、図 3 (A) の状態までの処理を行う。次いで、実施例 1 のマスクを変更し、駆動回路の p チャネル型 T F T だけでなく、保持容量の一方の電極となる半導体層にも p 型を付与する不純物元素の添加を行う。

【 0 1 2 1 】

次いで、実施例 1 に従い、活性化、第 1 層間絶縁膜及び第 2 層間絶縁膜の形成を行う。次いで、実施例 1 のマスクを変更し、各コンタクトホール形成を行う。次いで、実施例 1 のマスクを変更し、接続電極 1 0 0 5 、ゲート配線 1 0 0 2 、1 0 1 2 、及び画素電極 1 0 0 6 、1 0 0 7 をパターニング形成する。

【 0 1 2 2 】

こうして、図 1 0 に示した画素構造が得られる。図 1 0 におけるゲート配線は

、列方向に配置された島状のゲート電極 1 0 0 1 と島状の容量電極 1 0 0 8 が接続したものを指している。また、図 1 0 中の点線 C - C' で切断した断面図が図 1 1 中の点線 C - C' に相当している。また、図 1 0 中の点線 D - D' で切断した断面図が図 1 1 中の点線 D - D' に相当している。

【 0 1 2 3 】

本実施例は、図 1 0 及び図 1 1 に示したように、島状のゲート電極 1 0 0 1 が、ソース配線 1 0 0 4 及び容量電極 1 0 0 8 と同時にゲート絶縁膜上に接して形成されたものである。また、ゲート配線 1 0 0 2、1 0 1 2 は、画素電極 1 0 0 6、1 0 0 7、接続電極 1 0 0 5 と同様に層間絶縁膜上に形成されたものである。

【 0 1 2 4 】

このような構成とすることによって、各画素間は、主に画素電極 1 0 0 6 の端部をソース配線 1 0 0 4 と重ねることにより遮光することができる。

【 0 1 2 5 】

また、画素電極 1 0 0 6 の保持容量は、第 2 の半導体層を覆う絶縁膜を誘電体とし、画素電極 1 0 0 6 と接続された第 2 の半導体層と、ゲート配線 1 0 1 2 と接続された容量電極 1 0 0 8 とで形成している。

【 0 1 2 6 】

また、このような保持容量を形成する場合においては、第 2 の半導体層に p 型を付与する不純物元素を添加することが好ましい。

【 0 1 2 7 】

なお、本実施例は実施例 2 と組み合わせることが可能である。

【 0 1 2 8 】

[実施例 7]

実施例 2 を用いて得られたアクティブマトリクス型液晶表示装置（図 5）の構成を図 1 2 の上面図を用いて説明する。なお、図 5 と対応する部分には同じ符号を用いた。

【 0 1 2 9 】

図 1 2 （A）で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリ

ント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子 1 1 0 3、外部入力端子と各回路の入力部までを接続する配線 1 1 0 4 などが形成されたアクティブマトリクス基板 1 1 0 1 と、カラーフィルタなどが形成された対向基板 1 1 0 2 とがシール材 5 6 8 を介して貼り合わされている。

【0 1 3 0】

ゲート配線側駆動回路 1 1 0 5 とソース配線側駆動回路 1 1 0 6 の上面には対向基板側に赤色カラーフィルタまたは赤色と青色のカラーフィルタを積層させた遮光膜 1 1 0 7 が形成されている。また、画素部 4 0 7 上の対向基板側に形成されたカラーフィルタ 1 1 0 8 は赤色（R）、緑色（G）、青色（B）の各色のカラーフィルタ層が各画素に対応して設けられている。実際の表示に際しては、赤色（R）のカラーフィルタ、緑色（G）のカラーフィルタ、青色（B）のカラーフィルタの 3 色でカラー表示を形成するが、これら各色のカラーフィルタの配列は任意なものとする。

【0 1 3 1】

図 1 3 は図 1 2（A）で示す外部入力端子 1 1 0 3 の F - F' 線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線 1 1 0 9 によって層間絶縁膜 1 1 1 0 を介してゲート配線と同じ層で形成される配線 1 1 1 1 と接続する。

【0 1 3 2】

また、外部入力端子にはベースフィルム 1 1 1 2 と配線 1 1 1 3 から成る FPC が異方性導電性樹脂 1 1 1 4 で貼り合わされている。さらに補強板 1 1 1 5 で機械的強度を高めている。

【0 1 3 3】

図 1 3（B）はその詳細図を示し、図 1 3（A）で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子がゲート配線と同じ層で形成される配線 1 1 1 1 と、画素電極と同じ層で形成される配線 1 1 0 9 とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、ゲート配線と同じ層で形成

される配線 1 1 1 1 で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線 1 1 0 9 は、実施例 1 で示す構成に従えば、Ti 膜 1 1 0 9 a、Al 膜 1 1 0 9 b、Sn 膜 1 1 0 9 c の 3 層構造で形成されている。F P C はベースフィルム 1 1 1 2 と配線 1 1 1 3 から形成され、この配線 1 1 1 3 と画素電極と同じ層で形成される配線 1 1 0 9 とは、熱硬化型の接着剤 1 1 1 4 とその中に分散している導電性粒子 1 1 1 6 とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0 1 3 4】

一方、図 1 2 (B) は図 1 2 (A) で示す外部入力端子 1 1 0 3 の E - E' 線に対する断面図を示している。導電性粒子 1 1 1 6 の外径は配線 1 1 0 9 のピッチよりも小さいので、接着剤 1 1 1 4 中に分散する量を適当なものとすると隣接する配線と短絡することなく対応する F P C 側の配線と電気的な接続を形成することができる。

【0 1 3 5】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【0 1 3 6】

なお、本実施例は、実施例 3 乃至 6 のいずれか一と自由に組み合わせることが可能である。

【0 1 3 7】

【実施例 8】

本実施例では、実施例 1 で示したアクティブマトリクス基板の T F T の半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平 7 - 1 3 0 6 5 2 号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0 1 3 8】

実施例 1 と同様にして、ガラス基板上に下地膜、非晶質半導体層を 2 5 ~ 8 0 nm の厚さで形成する。例えば、非晶質シリコン膜を 5 5 nm の厚さで形成する。そして、重量換算で 1 0 p p m の触媒元素を含む水溶液をスピコート法で塗布し

て触媒元素を含有する層を形成する。触媒元素にはニッケル (N i)、ゲルマニウム (G e)、鉄 (F e)、パラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u) などである。この触媒元素を含有する層 1 7 0 は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を 1 ~ 5 nm の厚さに形成しても良い。

【 0 1 3 9 】

そして、結晶化の工程では、まず 4 0 0 ~ 5 0 0 °C で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で 5 5 0 ~ 6 0 0 °C で 1 ~ 8 時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

【 0 1 4 0 】

このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ 程度) の触媒元素が残留する。勿論、そのような状態でも T F T を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【 0 1 4 1 】

この目的におけるリン (P) によるゲッタリング処理は、図 3 (C) で説明した活性化工程で同時に行うことができる。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 T F T および p チャネル型 T F T のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ 程度の触媒元素が偏析した。このようにして作製した T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することがで

きる。

【 0 1 4 2 】

なお、本実施例は、実施例 1 乃至 7 のいずれか一と自由に組み合わせることが可能である。

【 0 1 4 3 】

[実施例 9]

本願発明を実施して形成された CMOS 回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【 0 1 4 4 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4 及び図 1 5 に示す。

【 0 1 4 5 】

図 1 4 （A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の信号制御回路に適用することができる。

【 0 1 4 6 】

図 1 4 （B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の信号制御回路に適用することができる。

【 0 1 4 7 】

図 1 4 （C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の信号制御回路に適用でき

る。

【 0 1 4 8 】

図 1 4 (D) は頭部取り付け型のディスプレイの一部 (右片側) であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示部 2 3 0 4、光学系 2 3 0 5、表示装置 2 3 0 6 等を含む。本願発明は表示装置 2 3 0 6 に用いることができる。

【 0 1 4 9 】

図 1 4 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

【 0 1 5 0 】

図 1 4 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本願発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 1 5 1 】

図 1 5 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本願発明を音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4 やその他の信号制御回路に適用することができる。

【 0 1 5 2 】

図 1 5 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 やその他の信号回路に適用することができる。

【 0 1 5 3 】

図 1 5 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部

3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

【 0 1 5 4 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 8 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 5 5 】

【発明の効果】

本発明によりマスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する反射型表示装置を実現することができる。

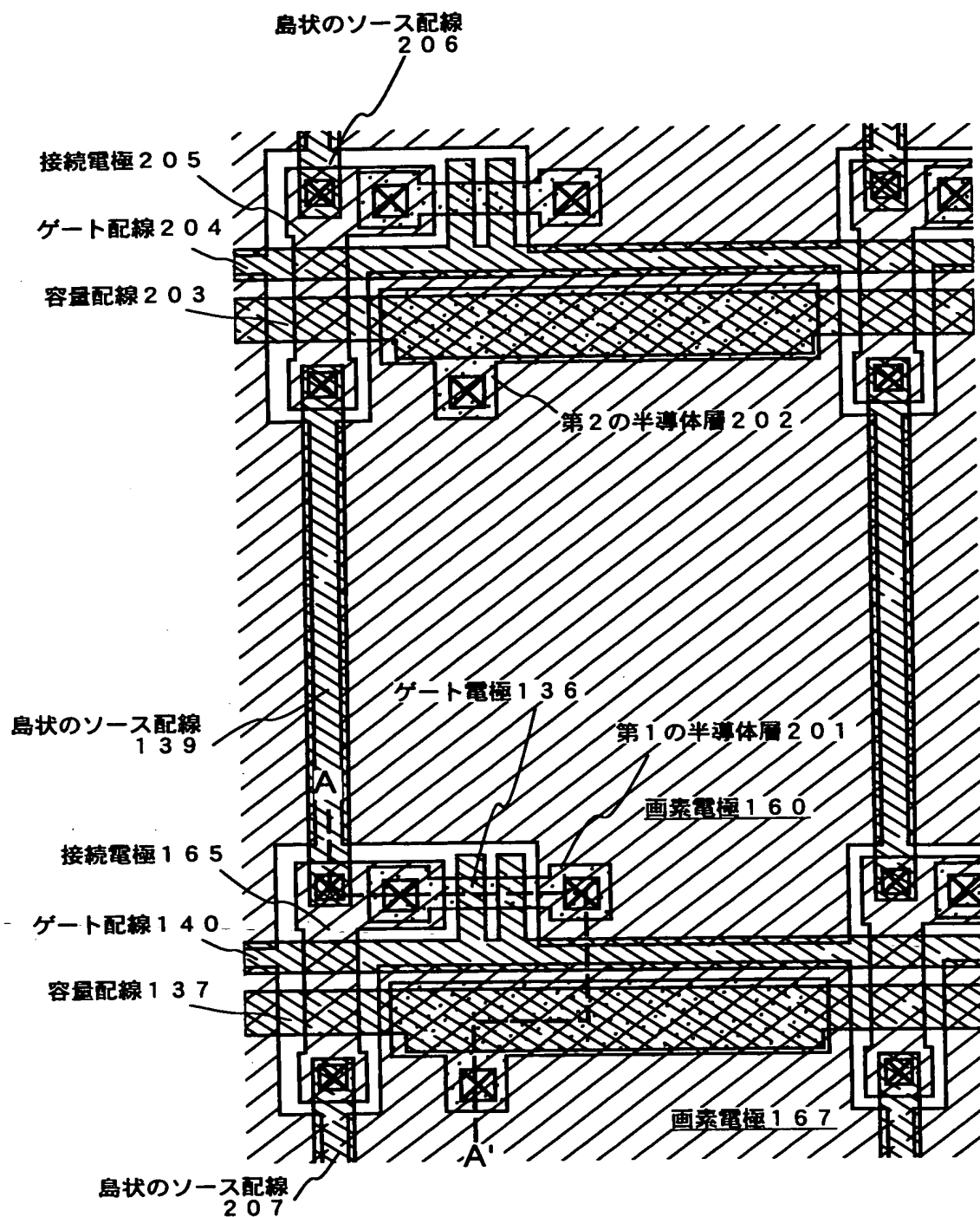
【図面の簡単な説明】

- 【図 1】 本発明の画素部上面図を示す図。（実施例 1）
- 【図 2】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 3】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 4】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 5】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。（実施例 2）
- 【図 6】 本発明の画素部上面図を示す図。（実施例 3）
- 【図 7】 アクティブマトリクス基板の断面図を示す図。（実施例 3）
- 【図 8】 アクティブマトリクス基板の断面図を示す図。（実施例 4）
- 【図 9】 アクティブマトリクス基板の断面図を示す図。（実施例 5）
- 【図 1 0】 本発明の画素部上面図を示す図。（実施例 6）
- 【図 1 1】 本発明の画素部断面図を示す図。（実施例 6）
- 【図 1 2】 アクティブマトリクス型液晶表示装置の上面図および断面図を示す図。（実施例 7）
- 【図 1 3】 アクティブマトリクス型液晶表示装置の断面図を示す図。（実施例 7）
- 【図 1 4】 電子機器の一例を示す図。（実施例 9）

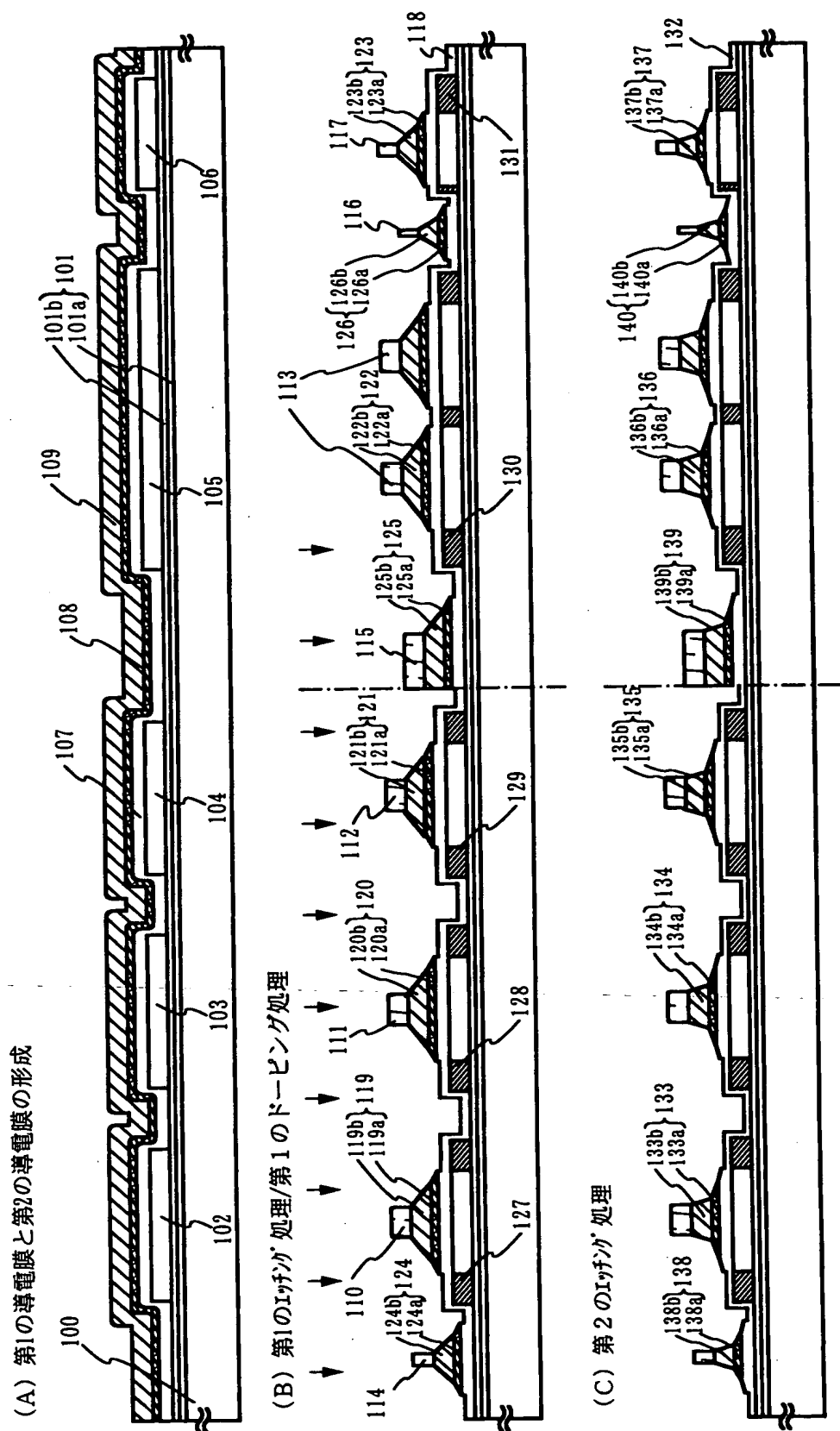
【図 1 5】 電子機器の一例を示す図。（実施例 9）

【書類名】 図面

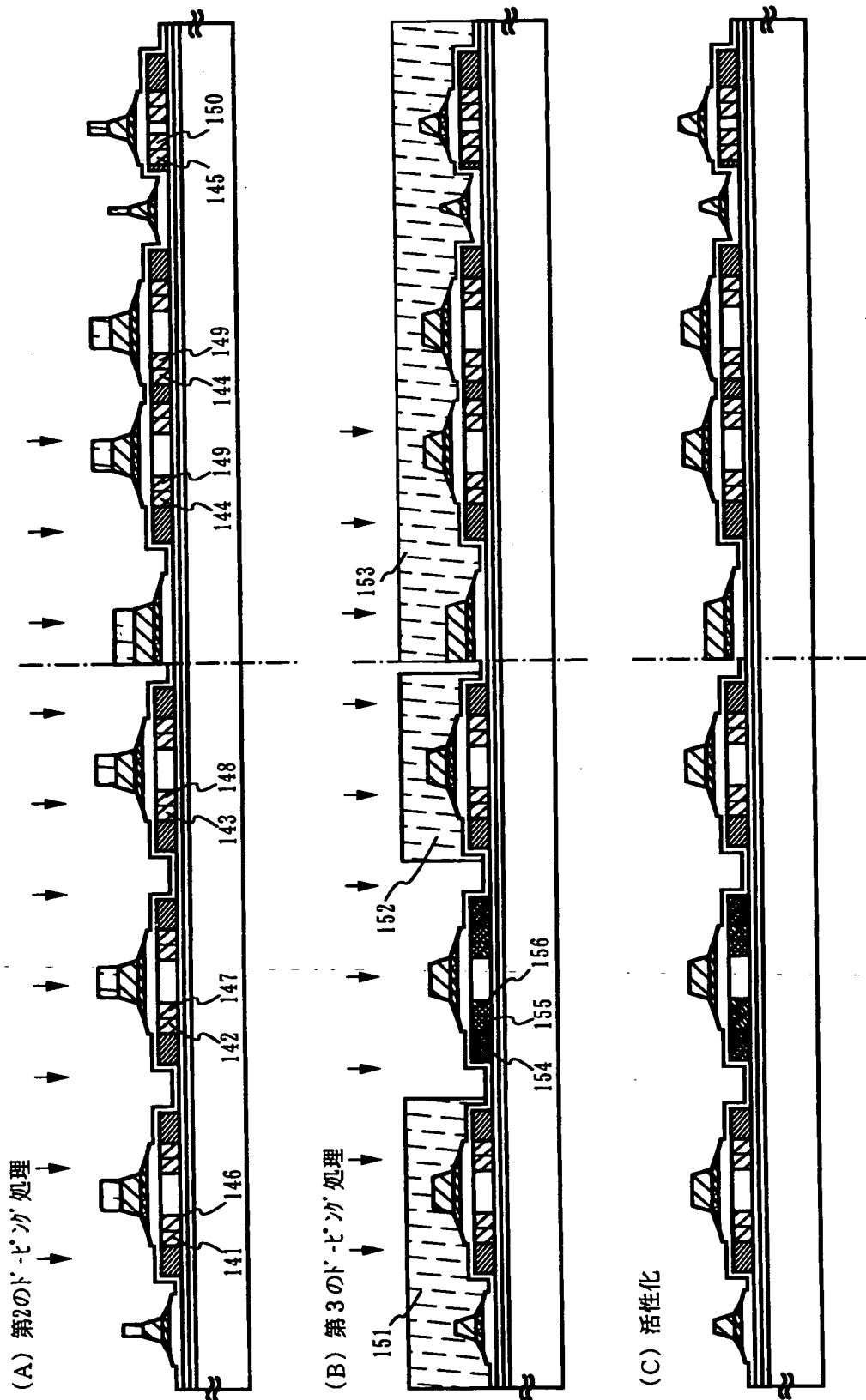
【図 1】



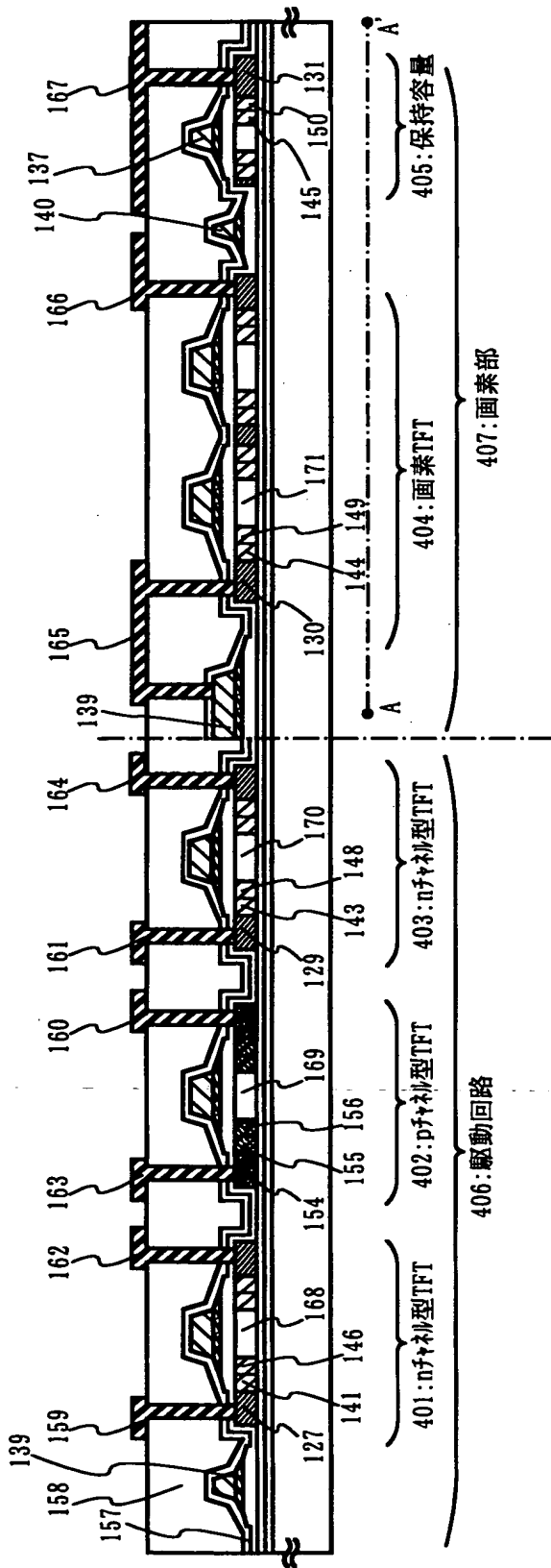
【図 2】



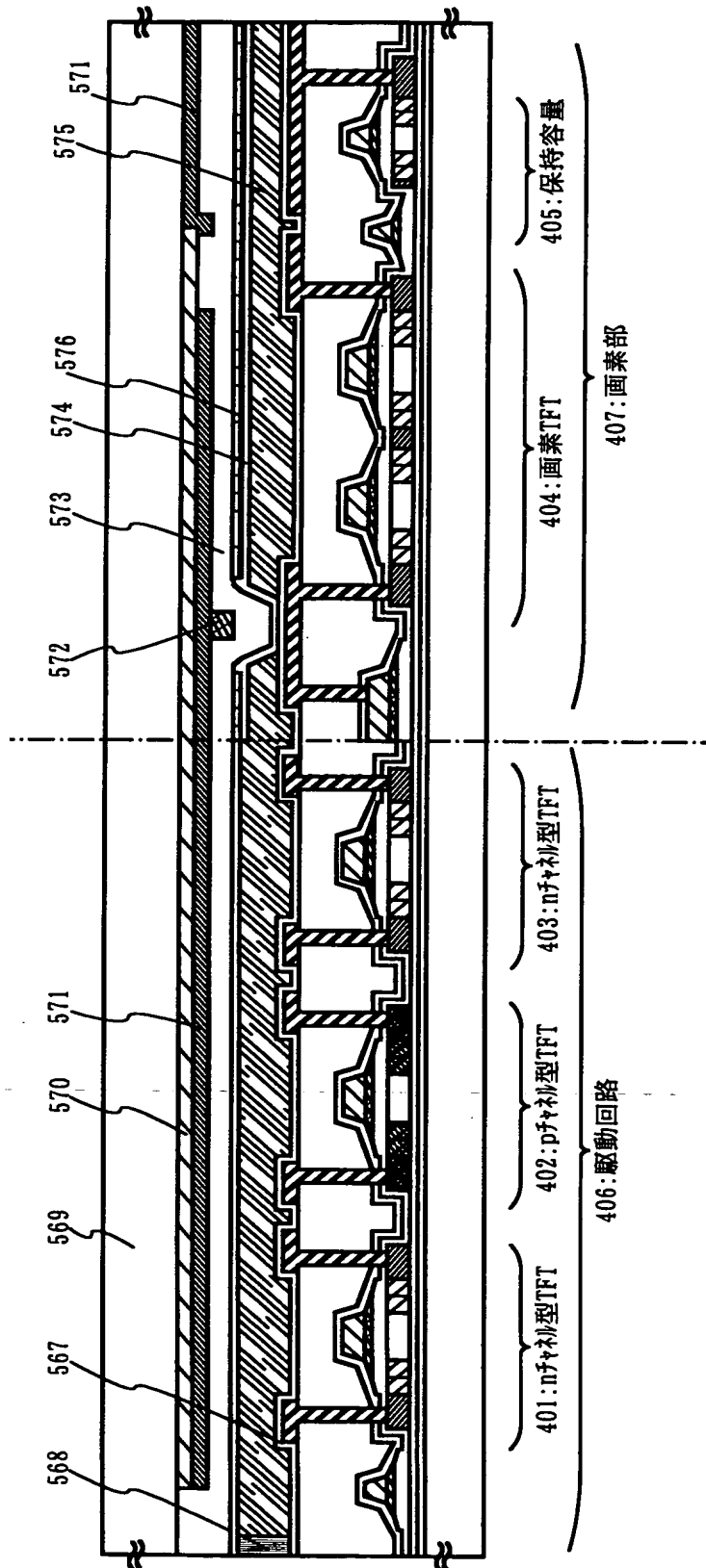
【図 3】



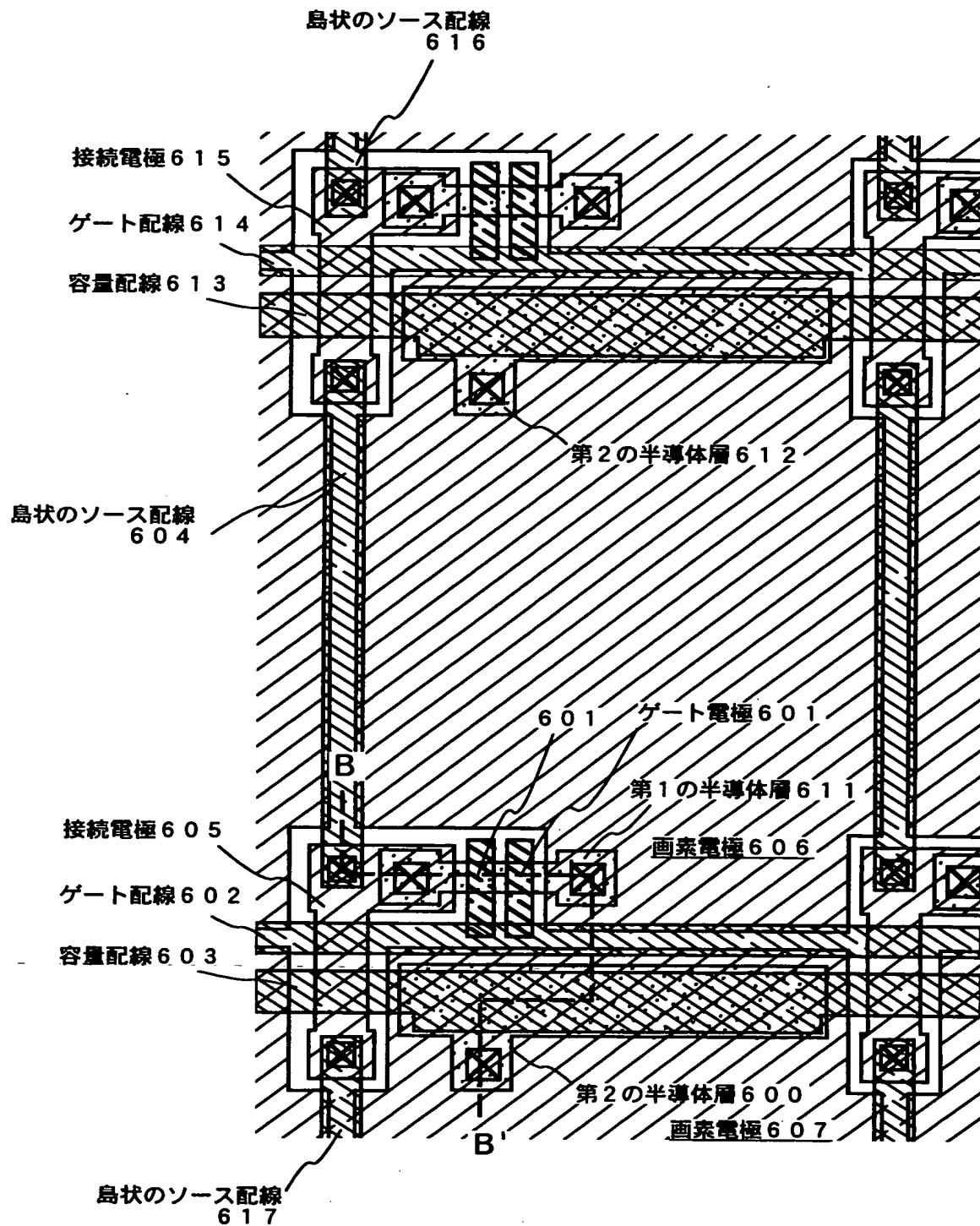
【图 4】



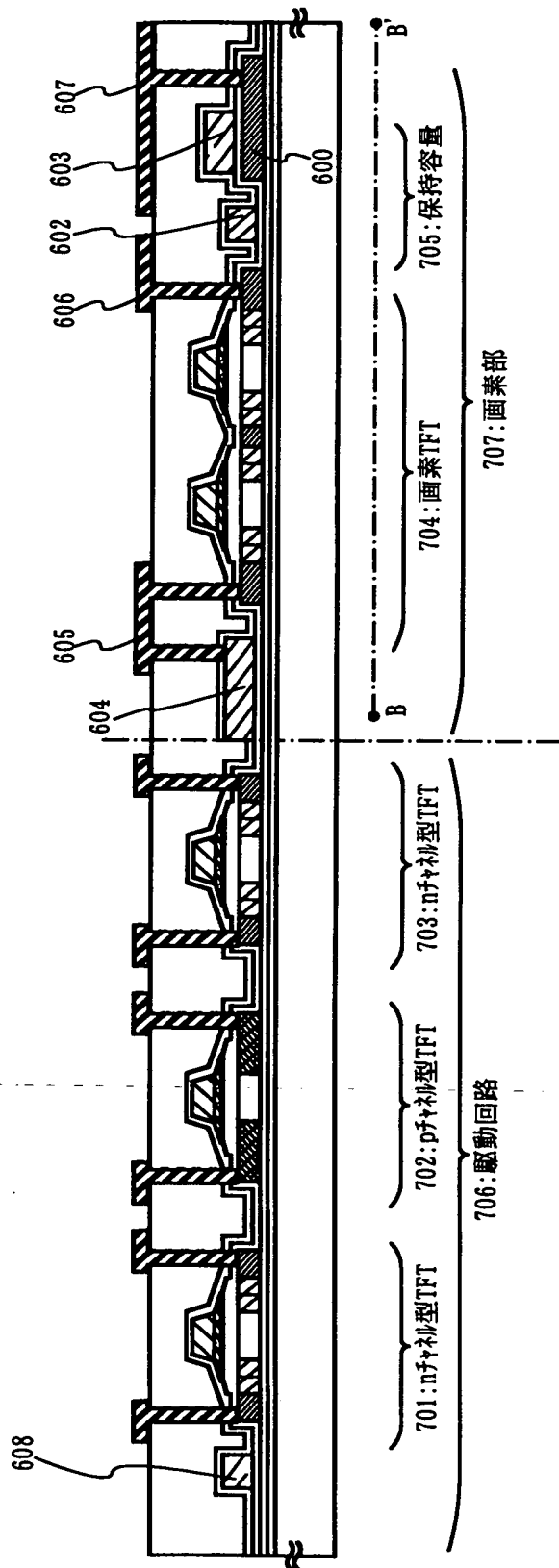
【図 5】



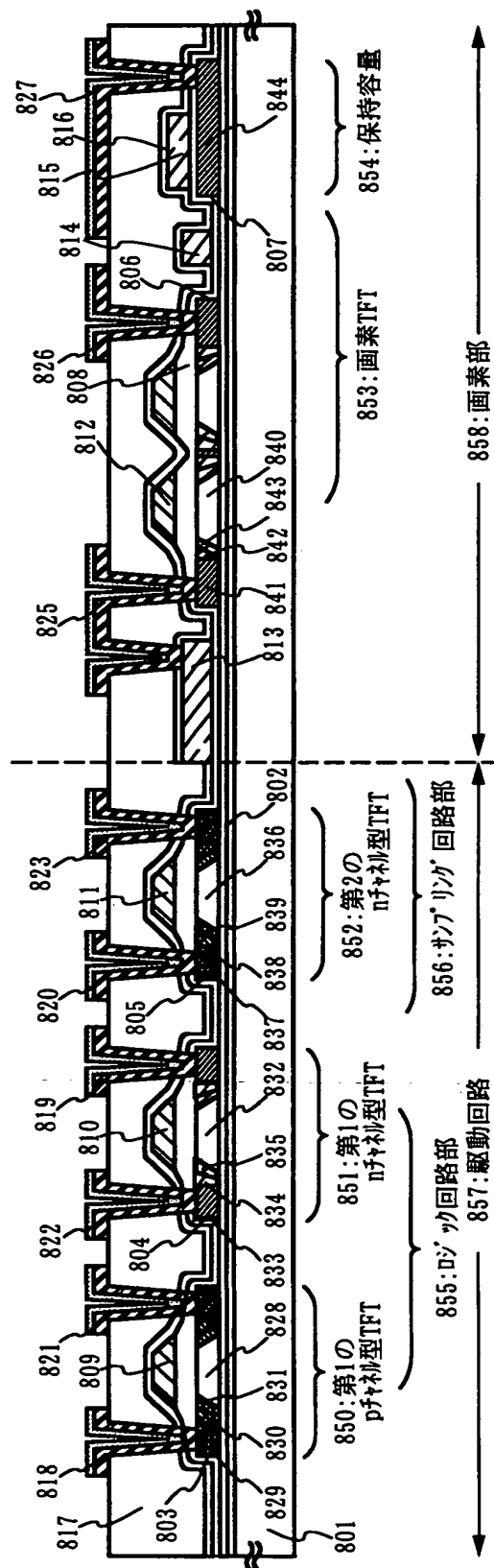
【図 6】



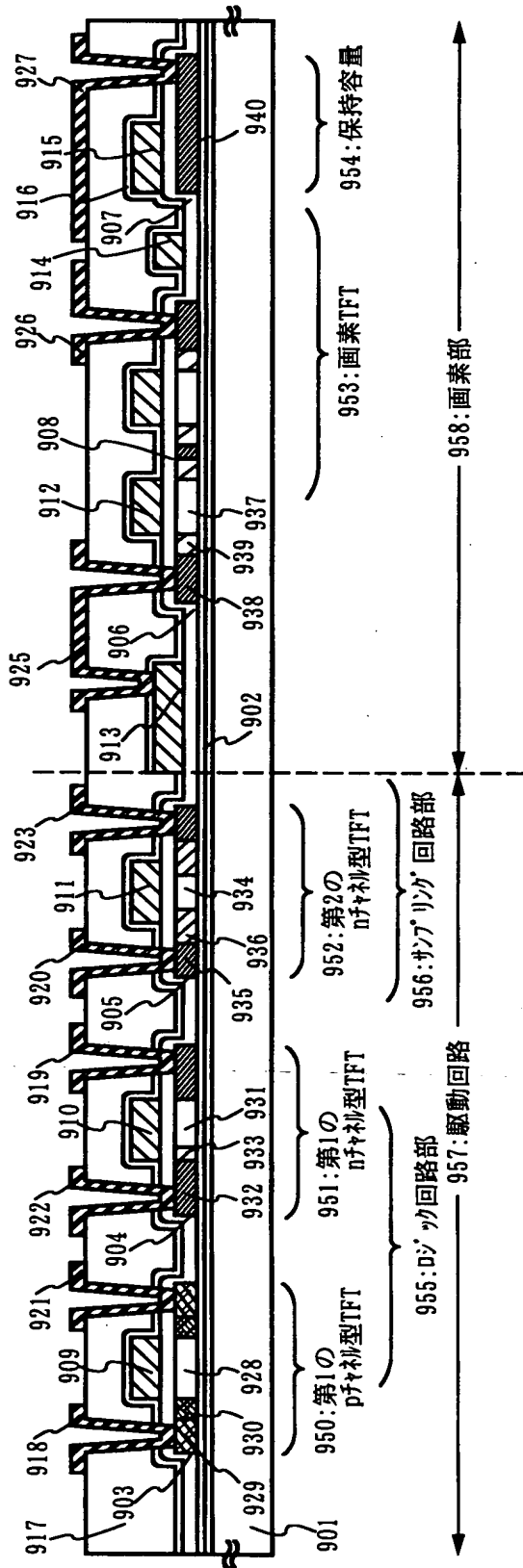
【図 7】



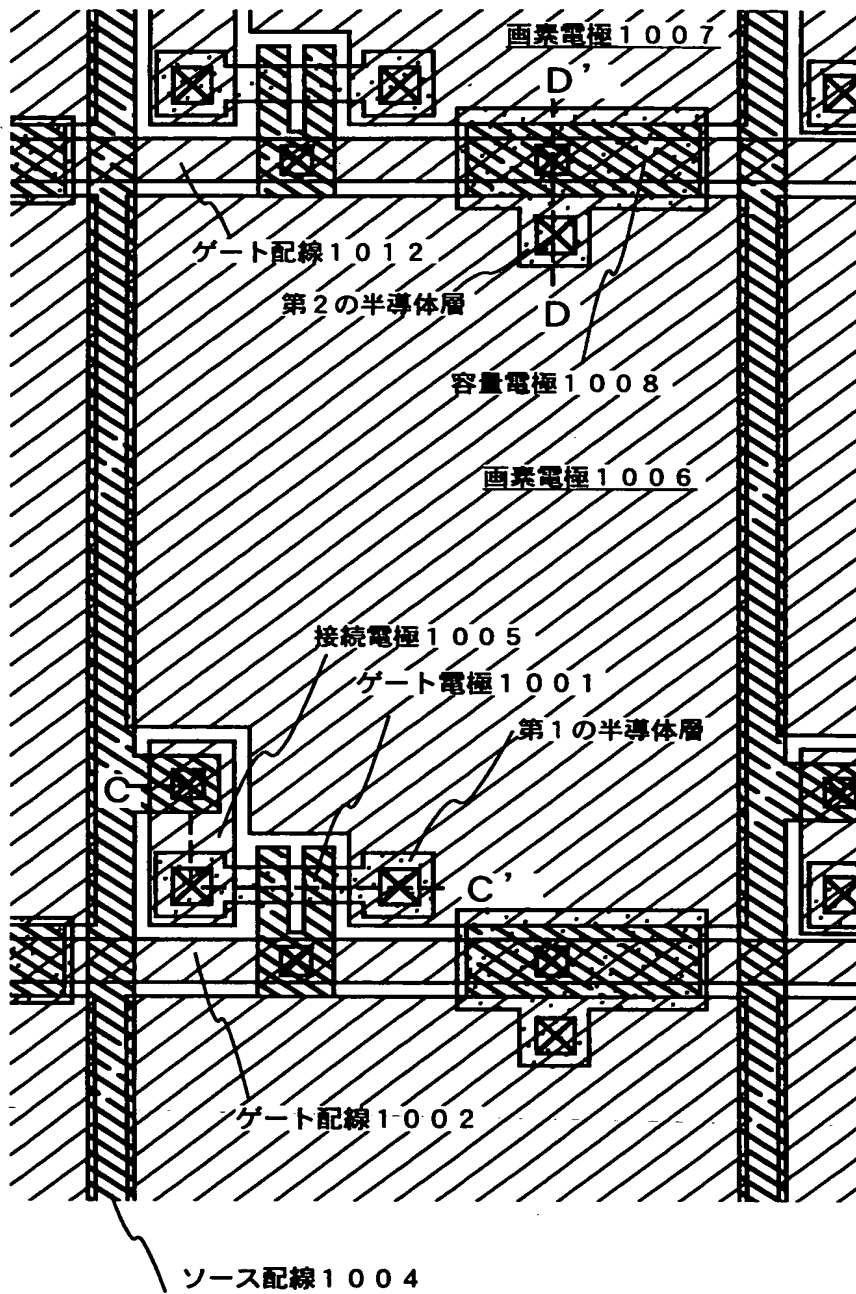
【図 8】



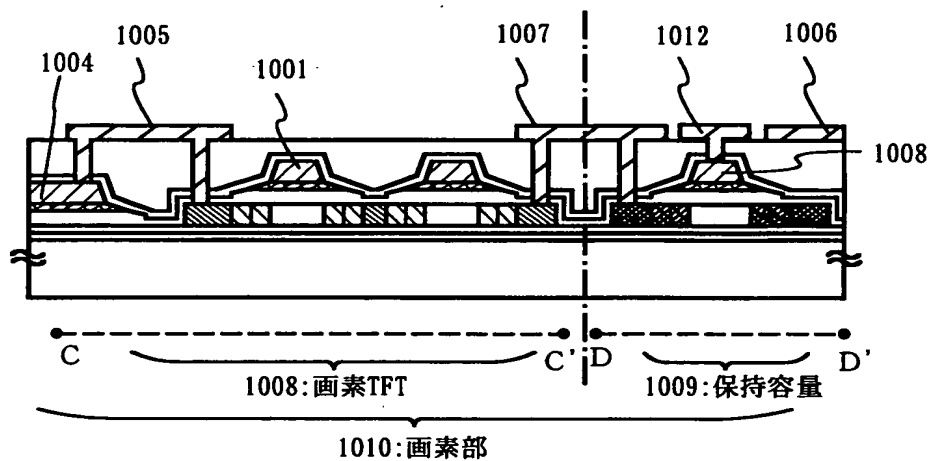
【図9】



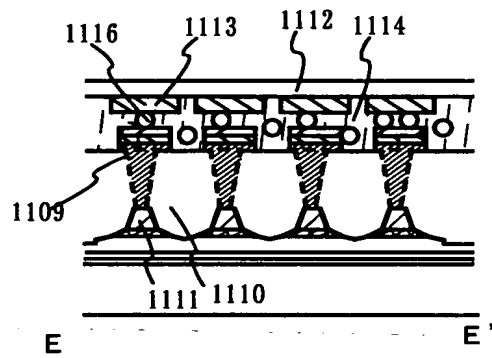
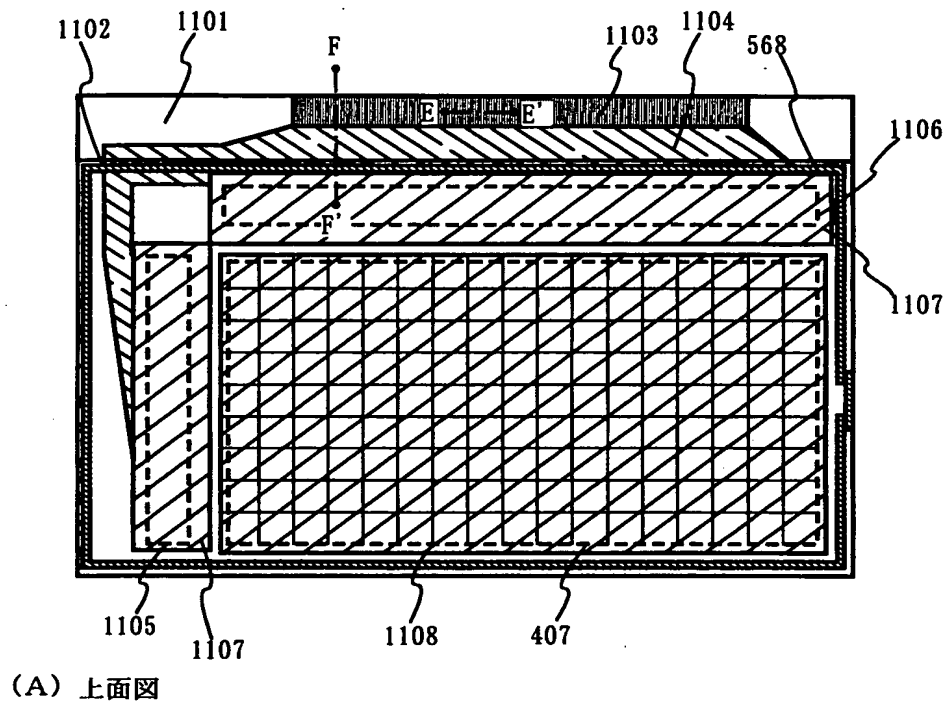
【図10】



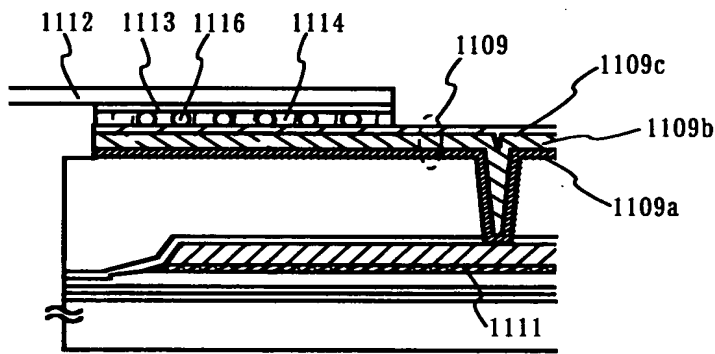
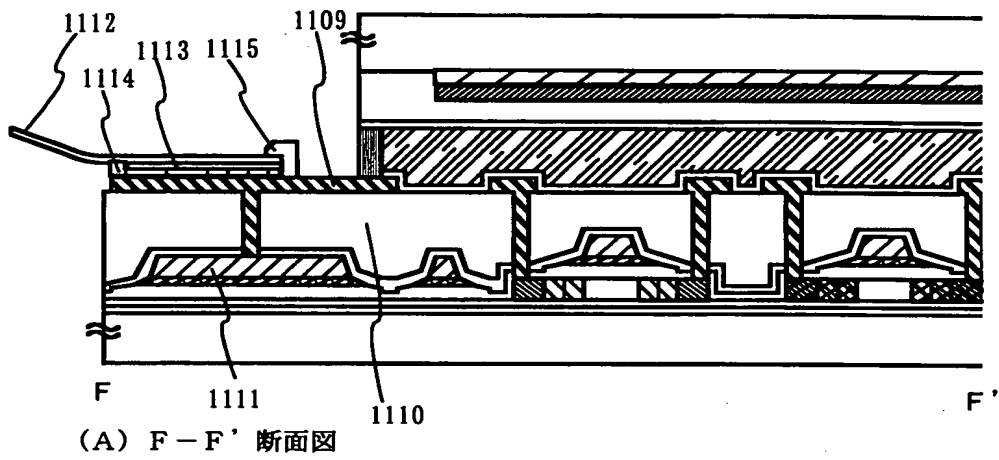
【図 1 1】



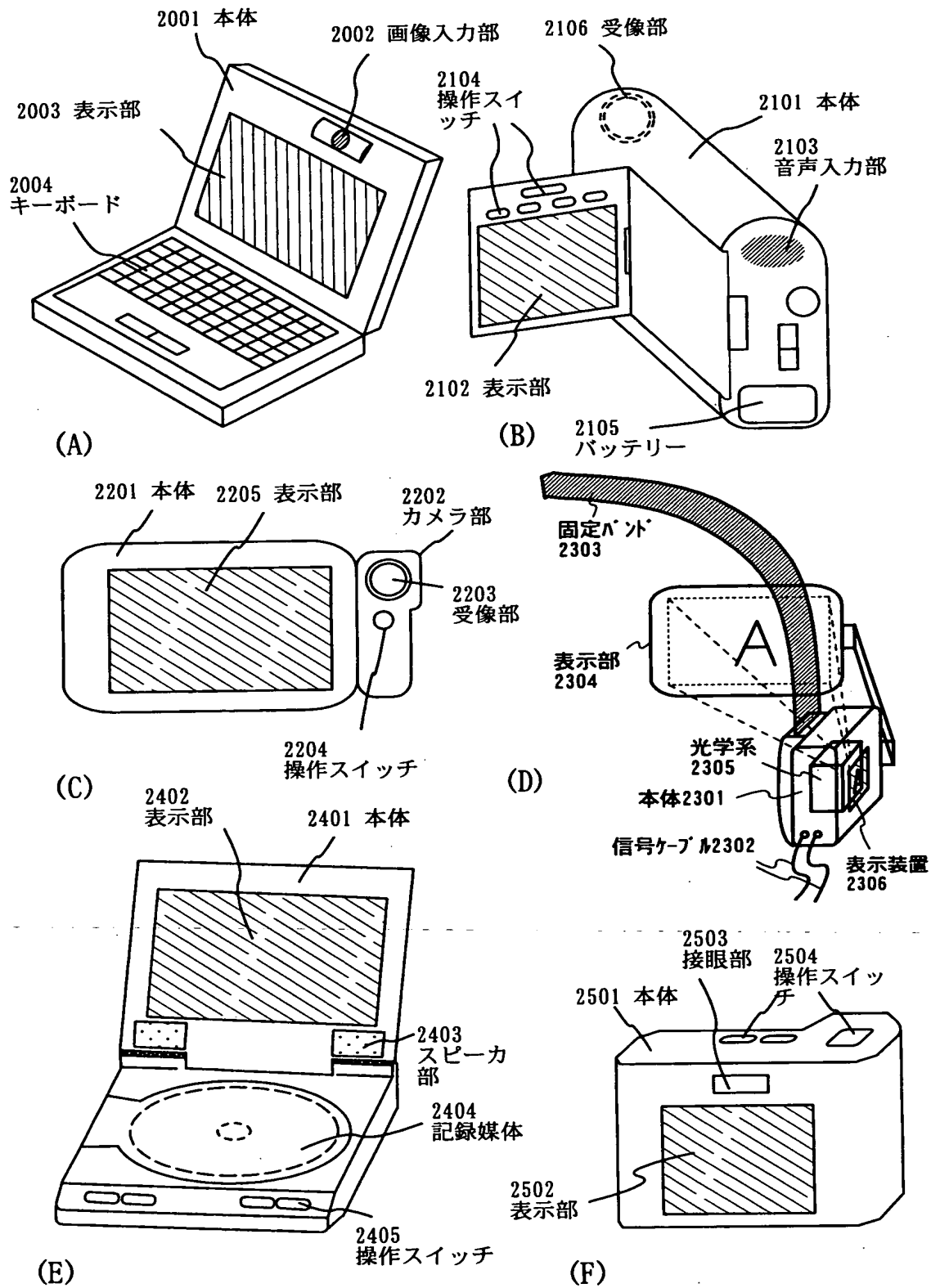
【図 1 2】



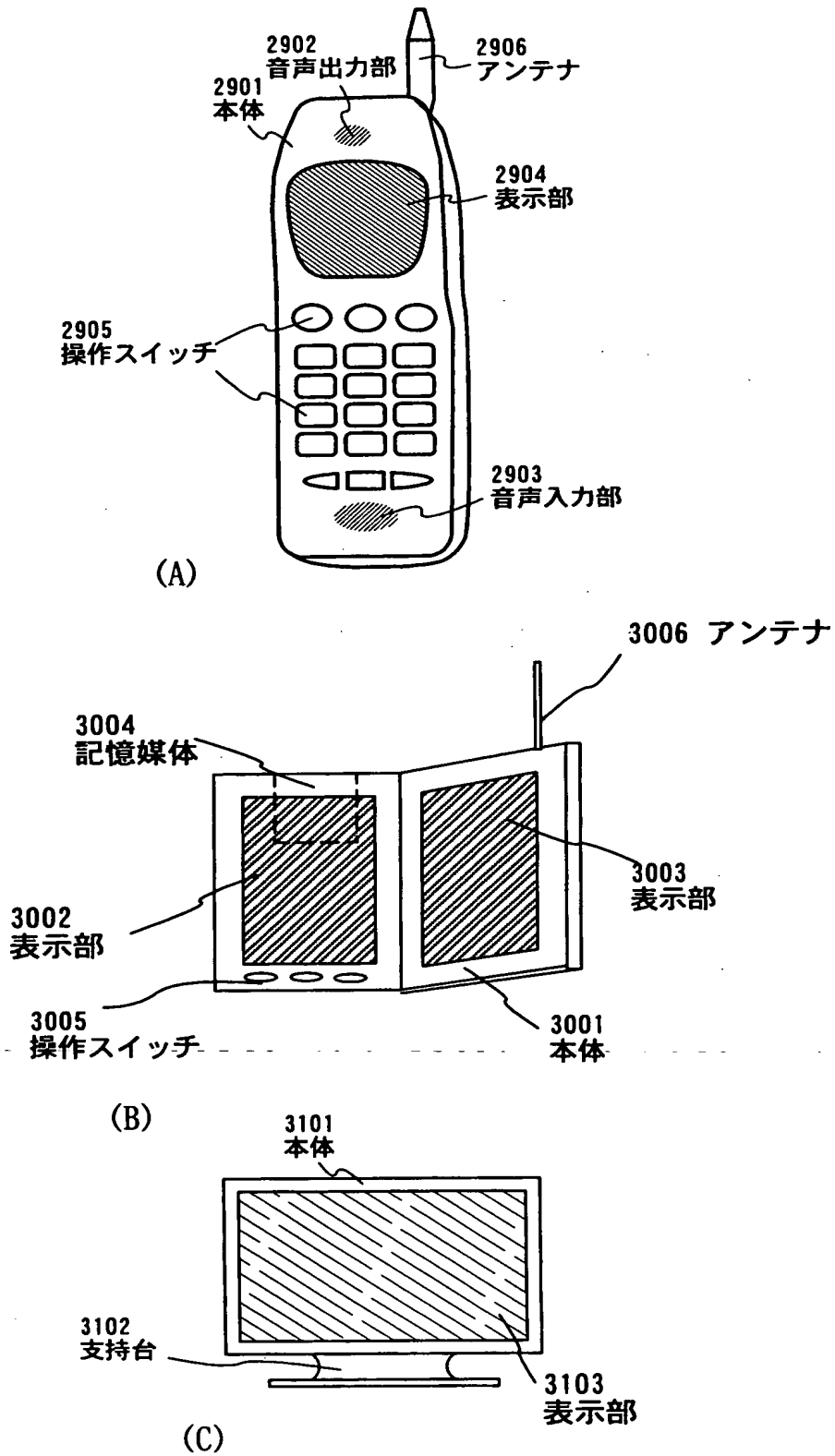
【図 13】



【図 1 4】



【図 15】



【書類名】 要約書

【要約】

【課題】 マスク数を増加させることなく、ブラックマスクを用いずに反射型表示装置の画素開口率を改善する。

【解決手段】

画素間を遮光する箇所は、画素電極 1 6 0 をゲート配線 1 4 3 及び島状のソース配線 1 3 9 と一部重なるように配置し、T F T を遮光する箇所は、対向基板に設けられたカラーフィルタ（赤または赤と青の積層）を設けることによって高い画素開口率を実現する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所